

RECEIVED BY
ART 31 ANDT

1/PRTS

9/926791
531 Rec'd PCT/EP 20 DEC 2001

Semiconductor memory chip module

This invention relates to a semiconductor memory chip module having a plurality of memory chips of different types, in particular a plurality of memory chips executed in different production technologies. In particular, the invention relates to a semiconductor memory chip module suitable for smart cards and to a smart card equipped with such a chip module.

Currently available semiconductor memories can be assigned to different types in accordance with their production technology, their operating parameters, their capacitance, etc. Semiconductor memories can for example be divided into volatile and non-volatile memories.

In smart cards and smart card terminals it is expedient to use nonvolatile memories whose content can also be erased and overwritten. Typically used semiconductor memories for such purposes are EEPROMs.

Such EEPROMs, i.e. erasable, electrically programmable read-only memories, necessitate some circuit complexity for erasing and rewriting data and require relatively long access time in comparison to volatile memories, for example a DRAM or SRAM. If such a semiconductor memory is used during execution of software programs, only slow execution is possible for the program. In addition, an EEPROM permits only a limited number of erase and write operations, typically in the range of 10,000 to 100,000.

If the presence of a nonvolatile memory, for example an EEPROM, is required but a rapid-access memory is nevertheless desired for program execution, one idea is to provide in addition to the EEPROM for example a SRAM as a volatile memory which is then used for program execution. If the results are to be stored for some time after execution of a program, the required data can be reloaded to the EEPROM.

The different types of semiconductor memories, that is, in the present case non-volatile memories (EEPROMs) and rapid volatile memories (SRAMs), are based on different production technologies. If two such different types of semiconductor memories are used side by side, considerable effort is required for operationally inter-connecting the two memories. Relatively long conduction paths are necessary between the two memories. This takes up a relatively large portion of the available chip area.

The invention is based on the problem of providing a semiconductor memory chip module which permits the advantages of two types of memory chips without the stated disadvantages, that is, high production effort and long conduction paths.

This problem is solved according to the invention in a semiconductor memory chip module with different types of memory chips in that the memory chips are disposed one above the other in different levels and connected by vertical interconnections. In an especially preferred embodiment, there is a fixed allocation of memory cells of the first memory chip to memory cells of the second memory chip, the mutually allocated memory cells being directly interconnected by the vertical connections.

In an especially preferred embodiment, the first type of memory chip is a non-volatile memory, in particular EEPROM, and the second type a volatile memory, for example a SRAM.

The invention allows production of a semiconductor memory chip module having different types of memory chips, in particular memory chips fabricated by different production technologies. The chips can according to the invention be produced separately, with the aid of the production processes typical of them. The finished chips require relatively little chip area in each case. The finished chips are then stacked, the connections between the chips being vertical connections, i.e. requiring very little additional chip area. The chip stack is then formed as a self-contained unit, in particular packaged into one module, so that it can be mounted in a smart card.

In the simplest embodiment of the invention, two chip levels can be provided. Since each semiconductor memory includes not only the actual memory cells but also a drive circuit, referred to as a decoder here, said decoders can be formed together with the particular semiconductor chip. In an especially advantageous embodiment of the invention, however, it is provided that a further chip with decoder circuits for all memory chips of the chip module is provided in a further level. The chip occupying area is thus not increased - in the horizontal direction - by the decoder circuits in the further chip. The chip with the decoder circuits is also connected by vertical chip interconnections to the memory chip of the first or second type, depending on which chip is located directly under the chip with the decoder circuits.

A special feature in using memory chips in connection with smart cards and smart card terminals is the protection from so-called power analysis attacks. In such attacks an attempt is made with fraudulent intent to analyze current and voltage states on a circuit with the aid of special sensors in order to be able to infer protected data. If voltage and current levels which always assume one, or one of several, defined levels independently of internal circuit states are ensured on all connections, such an attack is impossible.

A constantly recharged capacitor, a so-called buffer capacitor, can be used to smooth the supply voltage for the chip to such an extent that no level changes are outwardly recognizable which could permit circuit states to be inferred.

In a preferred embodiment of the invention it is provided that an energy buffer, in particular in the form of an integrated capacitor, is formed in at least one of the levels of the chip module. Said buffer capacitor can occupy a total chip level, but in a preferred multilayer design it can also be limited only to a partial chip area so that the rest of this level is available for memory cells, decoder circuits or logic circuits. Said buffer capacitor can be used, at the end of processing of a program performed with the aid of the volatile memory, to store the results of the program and further data in the non-volatile memory. In case of a program abortion caused by external disturbing influences for example, the data necessary for restarting the program can be stored permanently in the nonvolatile memory with the aid of the buffer capacitor.

In the following, some examples of the invention will be explained in more detail with reference to the drawing, in which:

Figure 1 shows a schematic vertical sectional view of a semiconductor memory chip module according to a first embodiment of the invention; and

Figure 2 shows a view similar to Figure 1 of a second embodiment of the invention.

Figure 1 shows semiconductor memory chip module 2 according to a first embodiment of the invention. Chip module 2 contains three stacked chips, namely bottom chip 4, formed here as an EEPROM, i.e. a nonvolatile memory chip, middle chip 6, formed here as an SRAM, i.e. a volatile memory chip, and top chip 8 comprising two types of decoder circuits 10 and 12.

Memory chip 4 contains a predetermined number of memory cells C4. Aligned therewith in the vertical direction, memory chip 6 contains a corresponding number of volatile memory cells C6.

Memory cells C4 and C6 in memory chips 4 and 6 are vertically aligned, as indicated by vertical lines in Figure 1. Between mutually vertically allocated memory cells C4 and C6 there is a direct electric connection through so-called vertical chip interconnections, to be explained in more detail below for the example shown in Figure 2.

Decoder circuits 10 and 12 contained in the top level in top chip 8 permit different addressing capabilities for memory chips 4 and 6. In the present embodiment, decoder circuits 10 (only one being shown in Figure 1) serve to drive memory cells C4 in bottom memory chip 4 while decoder circuits 12 serve to drive memory cells C6 in middle memory chip 6. In a modified embodiment, however, decoder circuits 10 and 12 can also be used for both memory chips 4 and 6 in each case.

Figure 2 shows a second embodiment of semiconductor memory chip module 2' which is structured on the basis of the chip module shown in Figure 1.

As in the first embodiment, bottom chip 4 is formed as an EEPROM, in the next level above is chip 6 formed as an SRAM. Mutually vertically aligned memory cells C4 and C6 are directly connected electrically by vertical chip interconnections 16.

Similar vertical chip interconnections connect memory chip 6 with chip 8, which contains decoder circuits (not shown in detail) and additionally buffer capacitor 20. Buffer capacitor 20 is likewise connected by direct vertical chip interconnections 22a with memory chip 6 located below and by chip interconnections 22b with further chip 16 located above, and is furthermore connected by a connection indicated at 24 with the decoder circuits contained in chip 8. Through connections not shown also connect buffer capacitor 20 with bottom memory chip 4.

Semiconductor memory chip module 2' of the embodiment shown in Figure 2 contains not only buffer capacitor 20, which acts as an energy buffer, but also chip 16 in an uppermost level, said chip containing for example logic circuits whose function is available for all other chips 4, 6 and 8.

In the embodiment according to Figure 2, buffer capacitor 20 is produced from a plurality of alternating electroconductive and dielectric layers. A feeder (not shown) is

used to hold buffer capacitor 20 constantly at a supply voltage level. Its capacitance is such that it allows data to be written from the SRAM of memory chip 6 to corresponding memory cells of the EEPROM of memory chip 4 in the case of service abortion of chip module 2' for example.

The invention and the embodiments of a chip module shown in Figures 1 and 2 are suitable in particular for incorporation in a smart card or smart card terminal, albeit the invention is not limited thereto. As a further modification of the invention, the order of the memory chips can be altered. In Figure 1 various chips 4, 6 and 8 can have their order changed for example. The same holds for the arrangement according to Figure 2. Buffer capacitor 20 can also extend over a total chip level. The decoder circuits, shown at 10 and 12 in top chip 8 in Figure 1, can also be distributed over different chip levels.

The examples of semiconductor memory chip modules shown in Figures 1 and 2 contain chips 4, 6, 8 and 16 fabricated in separate production processes. The separately fabricated chips are stacked and vertically interconnected by bonding. Bonding refers in this case to connecting the individual chips or wafers containing chips. For this purpose the chips or wafers can be thinned, i.e. their thickness reduced after production. The actual electric interconnection of the individual chips or wafers is effected by vertical chip interconnections, as described above. The vertical chip interconnections are produced by a metalization process corresponding to the metalization process during production of the individual chips or wafers. This permits a high connection density, which e.g. allows individual memory cells to be interconnected electrically in different levels, i.e. on different chips, as described above. This moreover causes an increase in security since the internal vertical chip interconnections are not accessible from outside and thus cannot be tapped for analysis purposes.

The thus obtained total arrangement is encased and then available for mounting in a smart card for example. Encasing including the outwardly guided interconnecting leads will not be explained in detail here because it is conventional.

When mounted in a smart card the semiconductor memory chip module according to Figure 1 or Figure 2 works in such a way that the permanently stored data are located in bottom chip 4, that is, in the nonvolatile memory EEPROM. Upon execution



execution of programs, required data are reloaded to the middle chip, that is, the volatile memory (SRAM). Middle chip 6 then acts like a cache memory. Result data and data to be protected in case of service abortion for example are then reloaded from middle memory chip 6 to bottom memory chip 4, using the energy stored in the buffer capacitor.



Claims

1. A semiconductor memory chip module having a first memory chip (4) of a first type, a second memory chip (6) of a second type, and an electric connection (14, 16) between the first and second memory chips (4, 6), characterized in that the memory chips (4, 6) are disposed one above the other in different levels and connected by vertical chip interconnections (14, 16).

2. A chip module according to claim 1, characterized in that memory cells (C4) of the first memory chip (4) are firmly allocated to certain memory cells (C6) of the second memory chip (6), and the mutually allocated memory cells (C4, C6) are directly interconnected electrically.

3. A chip module according to claim 1 or 2, characterized in that the first type corresponds to a nonvolatile memory, for example EEPROM, and the second type to a volatile memory, for example SRAM.

4. A chip module according to any of claims 1 to 3, characterized in that at least one further chip (8, 16) is provided in a further level.

5. A chip module according to claim 4, characterized in that the further chip contains decoder circuits (10, 12) for the memory chips (4, 6).

6. A chip module according to any of claims 1 to 5, characterized in that an energy buffer is formed in at least one of the levels.

7. A chip module according to claim 6, characterized in that the energy buffer is formed as an integrated buffer capacitor (20).

8. A chip module according to any of claims 1 to 7, formed for a smart card.

9. A smart card having a semiconductor memory chip module according to any of claims 1 to 8.

PCT

NOTIFICATION OF ELECTION

(PCT Rule 61.2)

From the INTERNATIONAL BUREAU

To:

Commissioner
US Department of Commerce
United States Patent and Trademark
Office, PCT
2011 South Clark Place Room
CP2/5C24
Arlington, VA 22202
ETATS-UNIS D'AMERIQUE
in its capacity as elected Office

Date of mailing (day/month/year) 07 February 2001 (07.02.01)	
International application No. PCT/EP00/05625	Applicant's or agent's file reference K 51 356/7ch
International filing date (day/month/year) 19 June 2000 (19.06.00)	Priority date (day/month/year) 23 June 1999 (23.06.99)
Applicant GRASSL, Thomas	

1. The designated Office is hereby notified of its election made:

☒ in the demand filed with the International Preliminary Examining Authority on:
08 December 2000 (08.12.00)

☐ in a notice effecting later election filed with the International Bureau on:

2. The election ☒ was
☐ was not

made before the expiration of 19 months from the priority date or, where Rule 32 applies, within the time limit under Rule 32.2(b).

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland	Authorized officer R. E. Stoffel
Facsimile No.: (41-22) 740.14.35	Telephone No.: (41-22) 338.83.38

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT
AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts K 51 356/7ch	WEITERES VORGEHEN siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen PCT/EP 00/ 05625	Internationales Anmeldedatum (Tag/Monat/Jahr) 19/06/2000	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) 23/06/1999
Anmelder GIESECKE & DEVRIENT GMBH		

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 2 Blätter.

☒ Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

- a. Hinsichtlich der **Sprache** ist die internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.

☐ Die internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

- b. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das

☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.

☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.

☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.

☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.

☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

☐ Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. ☐ Mangelnde Einheitslichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der Bezeichnung der Erfindung

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut von der Behörde wie folgt festgesetzt:

5. Hinsichtlich der Zusammenfassung

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der Zeichnungen ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 1

☒ wie vom Anmelder vorgeschlagen

☐ weil der Anmelder selbst keine Abbildung vorgeschlagen hat.

☐ weil diese Abbildung die Erfindung besser kennzeichnet.

☐ keine der Abb.

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G11C11/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 0 328 062 A (PITNEY BOWES) 16. August 1989 (1989-08-16) Zusammenfassung; Abbildung 1	1
P, Y	US 5 973 396 A (FARNWORTH WARREN M) 26. Oktober 1999 (1999-10-26)	1
P, A	Spalte 5, Zeile 44 - Spalte 6, Zeile 34; Abbildungen 3, 4	2
A	US 5 840 417 A (BOLGER JUSTIN C) 24. November 1998 (1998-11-24) Zusammenfassung; Abbildung 3	1
A	US 5 229 647 A (GNADINGER ALFRED P) 20. Juli 1993 (1993-07-20) Spalte 3, Zeile 26 - Spalte 4, Zeile 36; Abbildungen 3, 4	2

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

10. Oktober 2000

Absendedatum des internationalen Recherchenberichts

16/10/2000

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Wolff, N

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 00/05625

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
EP 0328062 A	16-08-1989	US 4908502 A	13-03-1990
		AU 2972389 A	10-08-1989
		CA 1315408 A	30-03-1993
		CH 679434 A	14-02-1992
		DE 68914696 D	26-05-1994
		DE 68914696 T	01-09-1994
		FR 2626991 A	11-08-1989
		GB 2215888 A,B	27-09-1989
		JP 2007184 A	11-01-1990
		JP 2922211 B	19-07-1999
US 5973396 A	26-10-1999	KEINE	
US 5840417 A	24-11-1998	US 5667884 A	16-09-1997
		WO 9424704 A	27-10-1994
US 5229647 A	20-07-1993	KEINE	

09/12/99
Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

8

Applicant's or agent's file reference K 51 356/7 so	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/EP00/05625	International filing date (day/month/year) 19 June 2000 (19.06.00)	Priority date (day/month/year) 23 June 1999 (23.06.99)
International Patent Classification (IPC) or national classification and IPC G11C 11/00		
Applicant GIESECKE & DEVRIENT GMBH		

<p>1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.</p> <p>2. This REPORT consists of a total of <u>4</u> sheets, including this cover sheet.</p> <p><input checked="" type="checkbox"/> This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).</p> <p>These annexes consist of a total of <u>11</u> sheets.</p>	
<p>3. This report contains indications relating to the following items:</p> <p>I <input checked="" type="checkbox"/> Basis of the report</p> <p>II <input type="checkbox"/> Priority</p> <p>III <input type="checkbox"/> Non-establishment of opinion with regard to novelty, inventive step and industrial applicability</p> <p>IV <input type="checkbox"/> Lack of unity of invention</p> <p>V <input checked="" type="checkbox"/> Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement</p> <p>VI <input type="checkbox"/> Certain documents cited</p> <p>VII <input type="checkbox"/> Certain defects in the international application</p> <p>VIII <input type="checkbox"/> Certain observations on the international application</p>	

Date of submission of the demand 08 December 2000 (08.12.00)	Date of completion of this report 01 June 2001 (01.06.2001)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/EP00/05625

I. Basis of the report

1. This report has been drawn on the basis of (*Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to the report since they do not contain amendments.*):

- ☐ the international application as originally filed.
- ☒ the description, pages _____, as originally filed,
 pages _____, filed with the demand,
 pages 1-9, filed with the letter of 15 May 2001 (15.05.2001),
 pages _____, filed with the letter of _____.
- ☒ the claims, Nos. _____, as originally filed,
 Nos. _____, as amended under Article 19,
 Nos. _____, filed with the demand,
 Nos. 1-9, filed with the letter of 15 May 2001 (15.05.2001),
 Nos. _____, filed with the letter of _____.
- ☒ the drawings, sheets/fig 1,2, as originally filed,
 sheets/fig _____, filed with the demand,
 sheets/fig _____, filed with the letter of _____,
 sheets/fig _____, filed with the letter of _____.

2. The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☐ the claims, Nos. _____
- ☐ the drawings, sheets/fig _____

3. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).

4. Additional observations, if necessary:

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/EP 00/05625

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1-9	YES
	Claims		NO
Inventive step (IS)	Claims	1-9	YES
	Claims		NO
Industrial applicability (IA)	Claims	1-9	YES
	Claims		NO

2. Citations and explanations

This report makes reference to the following documents:

D1: DE-A-196 26 337 (not cited in the international search report)

D2: EP-A-0 328 062

D3: US-A-5 973 396

D4: US-A-5 229 647

D5: US-A-5 840 417

The application **pertains to** a memory module having two different chips. In such a module, for example in a chip card, sometimes a combination of a volatile (SRAM) and a non-volatile chip (EEPROM) is used (see D2) in order to combine the advantages of both types.

The **problem** associated therewith is that these chips are manufactured using different processes. In addition, 1:1 assignment of the cell matrices of both chips to one another requires complicated wiring. The **solution** is to arrange the two chips one above the other. This allows the cells to be connected to each other 1:1 by simple, short, perpendicular connections, and the chips can be manufactured independently of one another. The chip stack is then configured as a closed unit for possible installation in a chip card.

D1 and D2 suggest application examples in which both a RAM and an EEPROM store data in a circuit. D2, the closest **prior art**, describes the use in a chip card. However, neither document provides any information regarding the geometrical construction of the chips or their arrangement. Neither D1 nor D2 suggests the idea of arranging two chips one above the other.

D4 discloses a sandwich structure in which a plurality of memory chips is arranged one above the other and linked by vertical inter-chip connections (see, for example, column 1, lines 61-64). The stacked chips in D4 are all the same type. D5 discloses a composite of two electronic chips, one above the other, having vertical electrical connections. However, D5 contains no suggestion of the application for memory chips. D3 is not relevant to the evaluation of inventive step because of its publication date.

The prior art does not contain the claimed combination of two different types of memory chips stacked one above the other and connected by vertical lines.

**VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT
AUF DEM GEBIET DES PATENTWESENS**

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Anmelders oder Anwalts K 51 356/7ch	WEITERES VORGEHEN siehe Mitteilung über die Übermittlung des internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen PCT/EP 00/ 05625	Internationales Anmeldedatum (Tag/Monat/Jahr) 19/06/2000	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr) 23/06/1999
Anmelder GIESECKE & DEVRIENT GMBH		

Dieser internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Anmelder gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser internationale Recherchenbericht umfaßt insgesamt 2 Blätter.

☒ Darüber hinaus liegt ihm jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

- a. Hinsichtlich der **Sprache** ist die internationale Recherche auf der Grundlage der internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.

☐ Die internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.

- b. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das

☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.

☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.

☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.

☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.

☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.

☐ Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. ☐ **Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen** (siehe Feld I).

3. ☐ **Mangelnde Einheitlichkeit der Erfindung** (siehe Feld II).

4. Hinsichtlich der Bezeichnung der Erfindung

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut von der Behörde wie folgt festgesetzt:

5. Hinsichtlich der Zusammenfassung

☒ wird der vom Anmelder eingereichte Wortlaut genehmigt.

☐ wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Anmelder kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgende Abbildung der **Zeichnungen** ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 1

☒ wie vom Anmelder vorgeschlagen

☐ keine der Abb.

☐ weil der Anmelder selbst keine Abbildung vorgeschlagen hat.

☐ weil diese Abbildung die Erfindung besser kennzeichnet.

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G11C11/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 0 328 062 A (PITNEY BOWES) 16. August 1989 (1989-08-16) Zusammenfassung; Abbildung 1 ---	1
P, Y	US 5 973 396 A (FARNWORTH WARREN M) 26. Oktober 1999 (1999-10-26)	1
P, A	Spalte 5, Zeile 44 -Spalte 6, Zeile 34; Abbildungen 3,4 ---	2
A	US 5 840 417 A (BOLGER JUSTIN C) 24. November 1998 (1998-11-24) Zusammenfassung; Abbildung 3 ---	1
A	US 5 229 647 A (GNADINGER ALFRED P) 20. Juli 1993 (1993-07-20) Spalte 3, Zeile 26 -Spalte 4, Zeile 36; Abbildungen 3,4 -----	2



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"G" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

10. Oktober 2000

Absendedatum des internationalen Recherchenberichts

16/10/2000

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Wolff, N



11-1

2

5-1

1

1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/EP 00/05625

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
EP 0328062	A	16-08-1989	US 4908502 A	13-03-1990
			AU 2972389 A	10-08-1989
			CA 1315408 A	30-03-1993
			CH 679434 A	14-02-1992
			DE 68914696 D	26-05-1994
			DE 68914696 T	01-09-1994
			FR 2626991 A	11-08-1989
			GB 2215888 A, B	27-09-1989
			JP 2007184 A	11-01-1990
			JP 2922211 B	19-07-1999
<hr/>				
US 5973396	A	26-10-1999	NONE	
<hr/>				
US 5840417	A	24-11-1998	US 5667884 A	16-09-1997
			WO 9424704 A	27-10-1994
<hr/>				
US 5229647	A	20-07-1993	NONE	
<hr/>				

VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS

PCT

INTERNATIONALER VORLÄUFIGER PRÜFUNGSBERICHT

(Artikel 36 und Regel 70 PCT)

REC'D 06 JUN 2001

WIPO PCT

T 15

Aktenzeichen des Anmelders oder Anwalts K 51 356/7 so	WEITERES VORGEHEN siehe Mitteilung über die Übersendung des internationalen vorläufigen Prüfungsberichts (Formblatt PCT/IPEA/416)	
Internationales Aktenzeichen PCT/EP00/05625	Internationales Anmeldedatum (Tag/Monat/Jahr) 19/06/2000	Prioritätsdatum (Tag/Monat/Jahr) 23/06/1999
Internationale Patentklassifikation (IPK) oder nationale Klassifikation und IPK G11C11/00		
Anmelder GIESECKE & DEVRIENT GMBH et al.		



1. Dieser internationale vorläufige Prüfungsbericht wurde von der mit der internationalen vorläufigen Prüfung beauftragten Behörde erstellt und wird dem Anmelder gemäß Artikel 36 übermittelt.
2. Dieser BERICHT umfaßt insgesamt 4 Blätter einschließlich dieses Deckblatts.

☒ Außerdem liegen dem Bericht ANLAGEN bei; dabei handelt es sich um Blätter mit Beschreibungen, Ansprüchen und/oder Zeichnungen, die geändert wurden und diesem Bericht zugrunde liegen, und/oder Blätter mit vor dieser Behörde vorgenommenen Berichtigungen (siehe Regel 70.16 und Abschnitt 607 der Verwaltungsrichtlinien zum PCT).

Diese Anlagen umfassen insgesamt 11 Blätter.

3. Dieser Bericht enthält Angaben zu folgenden Punkten:

- I ☒ Grundlage des Berichts
- II ☐ Priorität
- III ☐ Keine Erstellung eines Gutachtens über Neuheit, erfinderische Tätigkeit und gewerbliche Anwendbarkeit
- IV ☐ Mangelnde Einheitlichkeit der Erfindung
- V ☒ Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung
- VI ☐ Bestimmte angeführte Unterlagen
- VII ☐ Bestimmte Mängel der internationalen Anmeldung
- VIII ☐ Bestimmte Bemerkungen zur internationalen Anmeldung

Datum der Einreichung des Antrags 08/12/2000	Datum der Fertigstellung dieses Berichts 01.06.2001
Name und Postanschrift der mit der internationalen vorläufigen Prüfung beauftragten Behörde:  Europäisches Patentamt D-80298 München Tel. +49 89 2399 - 0 Tx: 523656 epmu d Fax: +49 89 2399 - 4465	Bevollmächtigter Bediensteter Heusler, N Tel. Nr. +49 89 2399 2359 

I. Grundlage des Berichts

1. Hinsichtlich der **Bestandteile** der internationalen Anmeldung (*Ersatzblätter, die dem Anmeldeamt auf eine Aufforderung nach Artikel 14 hin vorgelegt wurden, gelten im Rahmen dieses Berichts als "ursprünglich eingereicht" und sind ihm nicht beigelegt, weil sie keine Änderungen enthalten (Regeln 70.16 und 70.17)*):
Beschreibung, Seiten:

1-9 eingegangen am 15/05/2001 mit Schreiben vom 15/05/2001

Patentansprüche, Nr.:

1-9 eingegangen am 15/05/2001 mit Schreiben vom 15/05/2001

Zeichnungen, Blätter:

1,2 ursprüngliche Fassung

2. Hinsichtlich der **Sprache**: Alle vorstehend genannten Bestandteile standen der Behörde in der Sprache, in der die internationale Anmeldung eingereicht worden ist, zur Verfügung oder wurden in dieser eingereicht, sofern unter diesem Punkt nichts anderes angegeben ist.

Die Bestandteile standen der Behörde in der Sprache: zur Verfügung bzw. wurden in dieser Sprache eingereicht; dabei handelt es sich um

- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen Recherche eingereicht worden ist (nach Regel 23.1(b)).
- ☐ die Veröffentlichungssprache der internationalen Anmeldung (nach Regel 48.3(b)).
- ☐ die Sprache der Übersetzung, die für die Zwecke der internationalen vorläufigen Prüfung eingereicht worden ist (nach Regel 55.2 und/oder 55.3).

3. Hinsichtlich der in der internationalen Anmeldung offenbarten **Nucleotid- und/oder Aminosäuresequenz** ist die internationale vorläufige Prüfung auf der Grundlage des Sequenzprotokolls durchgeführt worden, das:

- ☐ in der internationalen Anmeldung in schriftlicher Form enthalten ist.
- ☐ zusammen mit der internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- ☐ bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- ☐ Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- ☐ Die Erklärung, daß die in computerlesbarer Form erfassten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

4. Aufgrund der Änderungen sind folgende Unterlagen fortgefallen:

- ☐ Beschreibung, Seiten:
☐ Ansprüche, Nr.:
☐ Zeichnungen, Blatt:

5. ☐ Dieser Bericht ist ohne Berücksichtigung (von einigen) der Änderungen erstellt worden, da diese aus den angegebenen Gründen nach Auffassung der Behörde über den Offenbarungsgehalt in der ursprünglich eingereichten Fassung hinausgehen (Regel 70.2(c)).

(Auf Ersatzblätter, die solche Änderungen enthalten, ist unter Punkt 1 hinzuweisen; sie sind diesem Bericht beizufügen).

6. Etwaige zusätzliche Bemerkungen:

V. Begründete Feststellung nach Artikel 35(2) hinsichtlich der Neuheit, der erfinderischen Tätigkeit und der gewerblichen Anwendbarkeit; Unterlagen und Erklärungen zur Stützung dieser Feststellung

1. Feststellung

Neuheit (N)	Ja: Ansprüche	1-9
	Nein: Ansprüche	
Erfinderische Tätigkeit (ET)	Ja: Ansprüche	1-9
	Nein: Ansprüche	
Gewerbliche Anwendbarkeit (GA)	Ja: Ansprüche	1-9
	Nein: Ansprüche	

2. Unterlagen und Erklärungen
siehe Beiblatt

Folgende Dokumente werden zitiert:

D1:	DE - A - 196 26 337	(nicht im ISR)
D2:	EP - A - 0 328 062	
D3:	US - A - 5 973 396	
D4:	US - A - 5 229 647	
D5:	US - A - 5 840 417	

zu V. - Neuheit, erfinderische Tätigkeit, gewerbliche Anwendbarkeit

Die Anmeldung **betrifft** ein Speichermodul mit zwei unterschiedlichen Chips. Bei einem solchen Modul, z.B. in einer Chipkarte, verwendet man manchmal (siehe D2) eine Kombination aus einem flüchtigen Chip (SRAM) und einem nichtflüchtigen Chip (EEPROM), um die Vorteile beider Typen zu kombinieren.

Dabei besteht das **Problem**, daß diese Chips in unterschiedlichen Verfahren hergestellt werden. Eine 1:1-Zuordnung der Zell-Matrizen beider Chips zueinander erfordert darüberhinaus eine komplizierte Verdrahtung. Die **Lösung** ist, die beiden Chips übereinander anzuordnen. Dadurch lassen sich die Zellen durch einfache, kurze, senkrecht stehende Verbindungen 1:1 miteinander verbinden, und die Chips können unabhängig voneinander hergestellt werden. Der Chip-Stapel wird dann etwa für den Einbau in eine Chipkarte als geschlossene Einheit ausgebildet.

D1 und D2 deuten Anwendungsbeispiele an, bei denen in einer Schaltung sowohl ein RAM als auch ein EEPROM Daten speichern. D2, der nächstliegende **Stand der Technik**, beschreibt den Einsatz in einer Chipkarte. Beide Dokumente geben jedoch keinerlei Auskunft über den geometrischen Aufbau der Chips oder deren Anordnung. Die Idee, zwei Chips übereinander anzuordnen, läßt sich weder aus D1 noch aus D2 ableiten.

Aus D4 ist eine Sandwichstruktur bekannt, bei der mehrere Speicherchips übereinander angeordnet und mit vertikalen Zwischenchip-Verbindungen verbunden sind (siehe z.B. Spalte 1, Zeilen 61-64). Die gestapelten Chips in D4 sind alle vom selben Typ. D5 offenbart einen Verbund zweier elektronischer Chips übereinander mit vertikalen elektrischen Verbindungen. In D5 findet man allerdings keinen Hinweis auf die Anwendung für Speicherchips. D3 ist aufgrund seines Veröffentlichungsdatums nicht relevant für die Beurteilung der erfinderischen Tätigkeit.

Die beanspruchte Kombination von zwei Speicherchips unterschiedlichen Typs, übereinander gestapelt und durch vertikale Leitungen verbunden, findet sich nicht im Stand der Technik.

Halbleiterspeicher-Chipmodul

Die Erfindung betrifft ein Halbleiterspeicher-Chipmodul mit mehreren Speicherchips unterschiedlicher Typen, insbesondere mit mehreren in unterschiedlicher Fertigungstechnologie ausgeführten Speicherchips. Insbesondere betrifft die Erfindung ein für Chipkarten geeignetes Halbleiterspeicher-Chipmodul und eine mit einem solchen Chipmodul ausgestattete Chipkarte.

Man kann die derzeit verfügbaren Halbleiterspeicher abhängig von ihrer Fertigungstechnologie, ihren Betriebsparametern, ihrer Kapazität etc. verschiedenen Typen zuordnen. Man kann Halbleiterspeicher zum Beispiel unterscheiden in flüchtige und in nicht-flüchtige Speicher.

Zweckmäßigerweise werden in Chipkarten und in Chipkarten-Terminals nicht-flüchtige Speicher verwendet, deren Inhalt aber auch gelöscht und überschrieben werden kann. Typischerweise verwendete Halbleiterspeicher für diese Zwecke sind EEPROMs.

Solche EEPROMs, also löschbare, elektrisch programmierbare Festspeicher, machen zum Löschen und zum erneuten Einschreiben von Daten einigen schaltungstechnischen Aufwand erforderlich und benötigen im Vergleich zu flüchtigen Speichern, beispielsweise einem DRAM oder SRAM, relativ viel Zugriffszeit. Wird ein solcher Halbleiterspeicher bei der Abarbeitung von Software-Programmen eingesetzt, so ist eine nur langsame Abarbeitung für das Programm möglich. Hinzu kommt, daß bei einem EEPROM nur eine begrenzte Anzahl von Löscho- und Schreibvorgängen möglich ist, typischerweise in der Größenordnung von 10.000 bis 100.000.

Ist man auf das Vorhandensein eines nicht-flüchtigen Speichers, zum Beispiel eines EEPROMs, angewiesen, und möchte aber dennoch einen Speicher mit schnellem Zugriff für die Programm-Abarbeitung zur Verfügung haben,

so kann man daran denken, zusätzlich zu dem EEPROM zum Beispiel einen SRAM als flüchtigen Speicher vorzusehen, mit dessen Hilfe dann die Programm-Abarbeitung erfolgt. Will man nach Ausführung eines Programms die Ergebnisse für längere Zeit speichern, so kann man eine Umladung der benötigten Daten in den EEPROM vornehmen.

Die unterschiedlichen Halbleiterspeicher-Typen, das heißt im vorliegenden Fall nicht-flüchtiger Speicher (EEPROM) und schneller flüchtiger Speicher (SRAM) basieren auf unterschiedlicher Fertigungstechnologie. Verwendet man zwei solche verschiedenen Halbleiterspeicher-Typen nebeneinander, so ist ein erheblicher Aufwand erforderlich, um die beiden Speicher funktions-tüchtig miteinander zu verbinden. Zwischen den beiden Speichern sind relativ lange Leitungswege erforderlich. Dies benötigt einen relativ großen Anteil der verfügbaren Chipfläche.

In DE 196 26 337 A1 wird die gleichzeitige Verwendung von Chips mit flüchtigen und nicht-flüchtigen Speichern für die Datenspeicherung beschrieben. In EP 0 328 062 A2 wird dabei von der Verwendung in einer Chipkarte ausgegangen, so daß EP 0 328 062 A2 die Merkmale des Oberbegriffs der neben-geordneten Ansprüche aufweist. Beiden Dokumenten ist jedoch nichts über den geometrischen Aufbau oder die Anordnung der Chips zu entnehmen.

US 5,840,417 beschreibt allgemein die vertikale Anordnung und Kontaktierung von elektronischen Chips, wohingegen in US 5,229,647 die vertikale Anordnung und Kontaktierung von gleichartigen Speicherchips beschrieben wird. Auf die sich aus der Verwendung unterschiedlicher Speicherchip-Typen ergebenden Probleme wird in keinem der beiden Dokumente eingegangen.

Der Erfindung liegt die Aufgabe zugrunde, ein Halbleiterspeicher-Chipmodul anzugeben, bei dem sich die Vorteile zweier Speicherchip-Typen ohne die genannten Nachteile, das heißt hoher Herstellungsaufwand und lange Leitungswege, erreichen läßt.

5

Diese Aufgabe wird durch die Merkmale des Anspruchs 1 gelöst. Erfindungsgemäß wird ein Halbleiterspeicher-Chipmodul mit unterschiedlichen Speicherchip-Typen dadurch gebildet, daß die Speicherchips in verschiedene Ebenen übereinander angeordnet sind und über Vertikal-

10 Zwischenverbindungen verbunden sind.

In einer besonders bevorzugten Ausführungsform gibt es eine feste Zuordnung von Speicherzellen des ersten Speicherchips zu Speicherzellen des zweiten Speicherchips, wobei die einander zugeordneten Speicherzellen direkt miteinander über die vertikalen Verbindungen verbunden sind.

15

In einer besonders bevorzugten Ausführungsform handelt es sich bei dem ersten Typ von Speicherchip um einen nicht-flüchtigen Speicher, insbesondere EEPROM, bei dem zweiten Typ um einen flüchtigen Speicher, zum Beispiel einen SRAM.

20

Die Erfindung gestattet die Herstellung eines Halbleiterspeicher-Chipmoduls mit unterschiedlichen Typen von Speicherchips, insbesondere nach verschiedenen Herstellungstechnologien gefertigten Speicherchips. Die Chips können erfindungsgemäß getrennt hergestellt werden - mit Hilfe der für sie typischen Fertigungsprozesse. Die fertigen Chips benötigen jeweils für sich nur relativ wenig Chipfläche. Die fertigen Chips werden dann übereinandergestapelt, wobei die Verbindungen zwischen den Chips Vertikal-Verbindungen sind, also nur sehr wenig zusätzliche Chipfläche in Anspruch

25

nehmen. Der Chip-Stapel wird dann als geschlossene Einheit ausgebildet, insbesondere zu einem Baustein gekapselt, so daß er in eine Chipkarte eingebaut werden kann.

- 5 In der einfachsten Ausführungsform der Erfindung können zwei Chip-
ebenen vorgesehen sein. Da zu jedem Halbleiterspeicher außer den eigentli-
chen Speicherzellen noch eine Ansteuerschaltung gehört, hier als Dekoder
bezeichnet, kann man diese Dekoder mit dem jeweiligen Halbleiterchip ge-
meinsam ausbilden. In einer besonders vorteilhaften Ausgestaltung der Er-
10 findung ist aber vorgesehen, daß in einer weiteren Ebene ein weiterer Chip
mit Dekoderschaltungen für sämtliche Speicherchips des Chipmoduls vorge-
sehen ist. Die Chipbelegungsfläche wird also - in horizontaler Richtung -
nicht vergrößert durch die Dekoderschaltungen in dem weiteren Chip. Auch
der Chip mit den Dekoderschaltungen ist durch Vertikal-
15 Zwischenchipverbindungen an das Speicherchip des ersten oder des zweiten
Typs angeschlossen, je nachdem, welcher Chip sich direkt unter dem Chip
mit den Dekoderschaltungen befindet.

- Eine Besonderheit bei der Verwendung von Speicherchips in Verbindung
20 mit Chipkarten und Chipkarten-Terminals ist die Abwehr von sogenannten
Power-Analysis-Angriffen. Bei derartigen Angriffen wird in betrügerischer
Absicht versucht, mit Hilfe spezieller Sensoren Strom- und Spannungszu-
stände an einer Schaltung zu analysieren, um dadurch Rückschlüsse auf ge-
schützte Daten ziehen zu können. Wird an sämtlichen Anschlüssen für
25 Spannungs- und Strompegel gesorgt, die unabhängig von internen Schal-
tungszuständen stets einen oder einen von mehreren definierten Pegeln ein-
nehmen, so ist ein derartiger Angriff nicht möglich.

Man kann mit Hilfe eines ständig nachgeladenen Kondensators, eines sogenannten Pufferkondensators, die Versorgungsspannung für den Chip soweit glätten, daß nach außen keine Pegeländerungen erkennbar sind, die Rückschlüsse auf Schaltungszustände zulassen könnten.

5

In einer bevorzugten Ausgestaltung der Erfindung ist vorgesehen, daß in mindestens einer der Ebenen des Chipmoduls ein Energiepuffer, insbesondere in Form eines integrierten Kondensators ausgebildet ist. Dieser Pufferkondensator kann eine gesamte Chip-Ebene belegen, bei bevorzugter mehr-
10 lagiger Ausbildung kann er aber auch nur auf eine Teil-Chipfläche beschränkt werden, so daß der Rest dieser Ebene dann für Speicherzellen, Dekoderschaltungen oder Logikschaltungen zur Verfügung steht. Dieser Pufferkondensator kann dann dazu benutzt werden, am Ende der Bearbeitung eines Programms, durchgeführt mit Hilfe des flüchtigen Speichers, die Er-
15 gebnisse des Programms und weitere Daten in dem nicht-flüchtigen Speicher abzuspeichern. Bei einem zum Beispiel durch äußere Störeinflüsse hervorgerufenen Programmabbruch können die zum Neu-Starten des Programms erforderlichen Daten mit Hilfe des Pufferkondensators in dem nicht-flüchtigen Speicher dauerhaft abgespeichert werden.

20

Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

Figur 1 eine schematische Vertikal-Schnittansicht durch ein Halbleiterspeicher-Chipmodul gemäß einer ersten Ausführungsform der Erfindung; und
25

Figur 2 eine ähnliche Darstellung wie Figur 1 einer zweiten Ausführungsform der Erfindung.

Figur 1 zeigt ein Halbleiterspeicher-Chipmodul 2 gemäß einer ersten Ausführungsform der Erfindung. Das Chipmodul 2 enthält drei übereinandergestapelte Chips, nämlich einen unteren Chip 4, hier als EEPROM, also als nicht-flüchtiger Speicherchip ausgebildet, einen mittleren Chip 6, hier als SRAM, also als flüchtiger Speicherchip ausgebildet, und einen oberen Chip 8, welcher zwei Typen von Dekoderschaltungen 10 und 12 beinhaltet.

In dem Speicherchip 4 ist eine vorbestimmte Anzahl von Speicherzellen C4 ausgebildet, mit diesen in vertikaler Richtung fluchtend enthält der Speicherchip 6 eine entsprechende Anzahl von flüchtigen Speicherzellen C6.

Die Speicherzellen C4 und C6 in den Speicherchips 4 bzw. 6 sind vertikal ausgerichtet, wie durch senkrechte Striche in Figur 1 angedeutet ist. Es besteht zwischen den jeweils einander vertikal zugeordneten Speicherzellen C4 und C6 eine direkte elektrische Verbindung durch sogenannte Vertikal-Zwischenchipverbindungen, die weiter unten für das in Figur 2 gezeigte Ausführungsbeispiel noch näher erläutert werden.

Die in der oberen Ebene in dem oberen Chip 8 enthaltenen Dekoderschaltungen 10 und 12 ermöglichen verschiedene Adressierungsmöglichkeiten für die Speicherchips 4 und 6. Bei der vorhandenen Ausführungsform dienen die Dekoderschaltungen 10 (in Figur 1 ist nur eine dargestellt) zur Ansteuerung der Speicherzellen C4 in dem unteren Speicherchip 4, die Dekoderschaltungen 12 dienen zum Ansteuern der Speicherzellen C6 in den mittleren Speicherchip 6. In einer abgewandelten Ausführungsform können die Dekoderschaltungen 10 und 12 jedoch auch jeweils für beide Speicherchips 4 und 6 verwendet werden.

Figur 2 zeigt eine zweite Ausführungsform eines Halbleiterspeicher-Chipmoduls 2', welches aufbauend auf dem in Figur 1 gezeigten Chipmodul strukturiert ist.

- 5 Wie bei der ersten Ausführungsform ist ein unterer Speicherchip 4 als EEPROM ausgebildet, darüber befindet sich in der nächsten Ebene ein als SRAM ausgebildeter Speicherchip 6. Die miteinander vertikal fluchtenden Speicherzellen C4 und C6 sind über Vertikal-Zwischenchipverbindungen 16
10 direkt elektrisch verbunden.
- Über ähnliche Vertikal-Zwischenchipverbindungen ist der Speicherchip 6 mit dem Chip 8 verbunden, welcher nicht näher dargestellte Dekodierschaltungen und zusätzlich einen Pufferkondensator 20 enthält. Der Pufferkondensator 20 ist ebenfalls über direkte Vertikal-Zwischenchipverbindungen
15 22a mit dem darunter liegenden Speicherchip 6 und über Zwischenchipverbindungen 22b mit einem darüber liegenden weiteren Chip 16 verbunden, er ist außerdem über eine bei 24 angedeutete Verbindung mit den in dem Chip 8 enthaltenen Dekoderschaltungen verbunden. Durch nicht dargestellte Durchgangsverbindungen steht der Pufferkondensator 20 auch mit dem un-
20 teren Speicherchip 4 in Verbindung.

Bei dem Halbleiterspeicher-Chipmodul 2' der in Figur 2 gezeigten Ausführungsform ist außer dem Pufferkondensator 20, der als Energiepuffer fungiert, noch in einer obersten Ebene der Chip 16 vorhanden, der zum Beispiel
25 Logikschaltungen enthält, deren Funktion für sämtliche der übrigen Chips 4, 6 und 8 verfügbar ist.

Bei der Ausführungsform nach Figur 2 ist der Pufferkondensator 20 aus mehreren abwechselnden elektrisch leitenden bzw. Dielektrikum-Lagen her-

gestellt. Von einer nicht dargestellten Speiseleitung wird der Pufferkondensator 20 ständig auf einem Versorgungsspannungspegel gehalten. Seine Kapazität ist derart bemessen, daß er im Fall beispielsweise eines Betriebsabbruchs des Chipmoduls 2' das Schreiben von Daten aus dem SRAM des Speicherchips 6 in entsprechende Speicherzellen des EEPROMs des Speicherchips 4 erlaubt.

Die Erfindung und die in den Figuren 1 und 2 dargestellten Ausführungsformen eines Chipmoduls eignen sich insbesondere für den Einbau in eine Chipkarte oder ein Chipkarten-Terminal, wenngleich die Erfindung nicht hierauf beschränkt ist. Als weitere Abwandlung der Erfindung kann die Reihenfolge der Speicherchips geändert werden, in Figur 1 können zum Beispiel die verschiedenen Chips 4, 6 und 8 in ihrer Reihenfolge ausgetauscht werden. Das gleiche gilt für die Anordnung nach Figur 2. Der Pufferkondensator 20 kann sich auch über eine gesamte Chipecbene erstrecken. Die Dekoderschaltungen, in Figur 1 in dem oberen Chip 8 bei 10 und 12 dargestellt, können auch auf verschiedene Chipecbenen verteilt werden.

Die in den Figuren 1 und 2 dargestellten Ausführungsbeispiele von Halbleiterspeicher-Chipmodulen enthalten die in separaten Herstellungsprozessen gefertigten Chips 4, 6, 8 und 16. Die separat gefertigten Chips werden übereinandergestapelt und durch Bonden vertikal miteinander verbunden. Unter Bonden wird in diesem Fall das Verbinden der einzelnen Chips bzw. Chips enthaltende Wafer verstanden. Dazu können die Chips bzw. Wafer gedünnt sein, d. h. ihre Dicke wird nach der Herstellung verringert. Die eigentliche elektrische Verbindung der einzelnen Chips bzw. Wafer untereinander erfolgt - wie oben beschrieben - mittels Vertikal-Zwischenchipverbindungen. Die Vertikal-Zwischenchipverbindungen werden dabei mittels eines Metallisierungsprozesses hergestellt, der dem Metallisierungsprozess bei der Her-

stellung der einzelnen Chips bzw. Wafer entspricht. Dadurch kann eine hohe Verbindungsdichte erreicht werden, die es z. B. erlaubt, wie oben beschrieben, einzelne Speicherzellen in unterschiedlichen Ebenen, d. h. auf unterschiedlichen Chips, miteinander elektrisch zu verbinden. Dies bewirkt zudem eine Erhöhung der Sicherheit, da die internen Vertikal-Zwischenchipverbindungen nicht von außen zugänglich sind und somit nicht zu Analysezwecken abgeriffen werden können.

Die so erhaltene gesamte Anordnung wird eingekapselt und steht dann für den Einbau in zum Beispiel eine Chipkarte zur Verfügung. Das Einkapseln einschließlich der nach außen geführten Verbindungsanschlüsse wird hier - weil konventionell - nicht näher erläutert.

Eingebaut in eine Chipkarte arbeitet das Halbleiterspeicher-Chipmodul gemäß Figur 1 oder Figur 2 dann so, daß die dauerhaft gespeicherten Daten sich in dem unteren Chip 4, das heißt in dem nicht-flüchtigen Speicher EEPROM, befinden. Bei Ausführung von Programmen werden benötigte Daten in den mittleren Chip, das heißt den flüchtigen Speicher (SRAM) umgeladen. Der mittlere Chip 6 fungiert dann wie ein Cache-Speicher. Ergebnisdaten und bei beispielsweise einem Betriebsabbruch zu sichernde Daten werden dann von dem mittleren Speicherchip 6 in den unteren Speicherchip 4 umgeladen, wozu die im Pufferkondensator gespeicherte Energie verwendet wird.

Patentansprüche

1. Halbleiterspeicher-Chipmodul, mit einem ersten Speicherchip (4) eines ersten Typs, einem zweiten Speicherchip (6) eines zweiten Typs, und einer elektrischen Verbindung (14, 16) zwischen dem ersten und dem zweiten Speicherchip (4, 6), **dadurch gekennzeichnet**, daß die Speicherchips (4, 6) unterschiedlichen Typs in verschiedenen Ebenen übereinander angeordnet und über Vertikal-Zwischenchipverbindungen (14, 16) verbunden sind.
2. Chipmodul nach Anspruch 1, **dadurch gekennzeichnet**, daß Speicherzellen (C4) des ersten Speicherchips (4) bestimmten Speicherzellen (C6) des zweiten Speicherchips (6) fest zugeordnet sind, und die einander zugeordneten Speicherzellen (C4, C6) direkt miteinander elektrisch verbunden sind.
3. Chipmodul nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß der erste Typ einem nicht-flüchtigen Speicher, zum Beispiel EEPROM, und der zweite Typ einem flüchtigen Speicher, zum Beispiel SRAM, entspricht.
4. Chipmodul nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß mindestens ein weiterer Chip (8, 16) in einer weiteren Ebene vorgesehen ist.
5. Chipmodul nach Anspruch 4, **dadurch gekennzeichnet**, daß der weitere Chip Dekoderschaltungen (10, 12) für die Speicherchips (4, 6) enthält.
6. Chipmodul nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß ein Energiepuffer in mindestens einer der Ebenen ausgebildet ist.

7. Chipmodul nach Anspruch 6, dadurch gekennzeichnet, daß der Energiepuffer als integrierter Pufferkondensator (20) ausgebildet ist.

8. Chipmodul nach einem der Ansprüche 1 bis 7, ausgebildet für eine Chipkarte.
5

9. Chipkarte mit einem Halbleiterspeicher-Chipmodul nach einem der Ansprüche 1 bis 8.

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
4. Januar 2001 (04.01.2001)

PCT

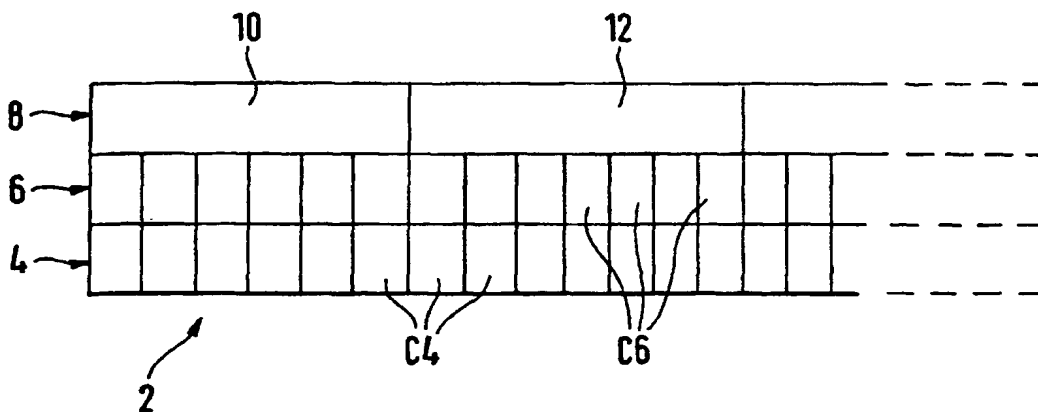
(10) Internationale Veröffentlichungsnummer
WO 01/01418 A1

- (51) Internationale Patentklassifikation⁷: **G11C 11/00** (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **GIESECKE & DEVRIENT GMBH** [DE/DE]; Prinzregentenstrasse 159, D-81677 München (DE).
- (21) Internationales Aktenzeichen: **PCT/EP00/05625** (72) Erfinder; und
- (22) Internationales Anmeldedatum: **19. Juni 2000 (19.06.2000)** (75) Erfinder/Anmelder (nur für US): **GRASSL, Thomas** [DE/DE]; Ganzenmüllerstrasse 6, D-85354 Freising (DE).
- (25) Einreichungssprache: **Deutsch** (74) Anwalt: **KLUNKER, SCHMITT-NILSON, HIRSCH**; Winzererstrasse 106, D-80797 München (DE).
- (26) Veröffentlichungssprache: **Deutsch** (81) Bestimmungsstaaten (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CR, CU, CZ, DK, DM, DZ, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR,
- (30) Angaben zur Priorität:
199 28 733.3 23. Juni 1999 (23.06.1999) DE

[Fortsetzung auf der nächsten Seite]

(54) Title: SEMICONDUCTOR MEMORY CHIP MODULE

(54) Bezeichnung: HALBLEITERSPEICHER-CHIPMODUL



(57) Abstract: The invention relates to a semiconductor memory chip module (2') for a chip card, in which a non-volatile memory chip (EEPROM) (4) and a volatile memory chip (SRAM) (6) are stacked on top of each other and directly coupled with each other by vertical intermediate chip connections (16). The volatile memory with quick access enables programmes to be processed rapidly. Data can be stored permanently and securely through transfer to the non-volatile memory. A chip (8) with decoding circuits can be contained at a further level. A buffer capacitor (20) is also incorporated in a chip and is recharged to a constant supply voltage during operation.

(57) Zusammenfassung: In einem Halbleiterspeicher-Chipmodul (2') für eine Chipkarte sind ein nicht-flüchtiger Speicherchip (EEPROM) (4) und ein flüchtiger Speicherchip (SRAM) (6) übereinandergestapelt und über Vertikal-Zwischenschipverbindungen (16) direkt gekoppelt. Der flüchtige Speicher mit schnellem Zugriff ermöglicht das rasche Abarbeiten von Programmen. Das dauerhafte und sichere Speichern von Daten erfolgt durch Umladen der Daten in den nicht-flüchtigen Speicher. In einer weiteren Ebene kann ein Chip (8) mit Dekoderschaltungen enthalten sein. Ebenfalls in einen Chip integriert ist ein Pufferkondensator (20), der im Betrieb ständig auf eine konstante Versorgungsspannung nachgeladen wird.

WO 01/01418 A1



LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ,
NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM,
TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

- (84) **Bestimmungsstaaten (regional):** ARIPO-Patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), eurasisches Patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI-Patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— Mit internationalem Recherchenbericht.

Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Halbleiterspeicher-Chipmodul

Die Erfindung betrifft ein Halbleiterspeicher-Chipmodul mit mehreren Speicherchips unterschiedlicher Typen, insbesondere mit mehreren in unterschiedlicher Fertigungstechnologie ausgeführten Speicherchips. Insbesondere betrifft die Erfindung ein für Chipkarten geeignetes Halbleiterspeicher-Chipmodul und eine mit einem solchen Chipmodul ausgestattete Chipkarte.

Man kann die derzeit verfügbaren Halbleiterspeicher abhängig von ihrer Fertigungstechnologie, ihren Betriebsparametern, ihrer Kapazität etc. verschiedenen Typen zuordnen. Man kann Halbleiterspeicher zum Beispiel unterscheiden in flüchtige und in nicht-flüchtige Speicher.

Zweckmäßigerweise werden in Chipkarten und in Chipkarten-Terminals nicht-flüchtige Speicher verwendet, deren Inhalt aber auch gelöscht und überschrieben werden kann. Typischerweise verwendete Halbleiterspeicher für diese Zwecke sind EEPROMs.

Solche EEPROMs, also löschbare, elektrisch programmierbare Festspeicher, machen zum Löschen und zum erneuten Einschreiben von Daten einigen schaltungstechnischen Aufwand erforderlich und benötigen im Vergleich zu flüchtigen Speichern, beispielsweise einem DRAM oder SRAM, relativ viel Zugriffszeit. Wird ein solcher Halbleiterspeicher bei der Abarbeitung von Software-Programmen eingesetzt, so ist eine nur langsame Abarbeitung für das Programm möglich. Hinzu kommt, daß bei einem EEPROM nur eine begrenzte Anzahl von Löscho- und Schreibvorgängen möglich ist, typischerweise in der Größenordnung von 10.000 bis 100.000.

Ist man auf das Vorhandensein eines nicht-flüchtigen Speichers, zum Beispiel eines EEPROMs, angewiesen, und möchte aber dennoch einen Speicher mit schnellem Zugriff für die Programm-Abarbeitung zur Verfügung haben,

- 2 -

so kann man daran denken, zusätzlich zu dem EEPROM zum Beispiel einen SRAM als flüchtigen Speicher vorzusehen, mit dessen Hilfe dann die Programm-Abarbeitung erfolgt. Will man nach Ausführung eines Programms die Ergebnisse für längere Zeit speichern, so kann man eine Umladung der benötigten Daten in den EEPROM vornehmen.

Die unterschiedlichen Halbleiterspeicher-Typen, das heißt im vorliegenden Fall nicht-flüchtiger Speicher (EEPROM) und schneller flüchtiger Speicher (SRAM) basieren auf unterschiedlicher Fertigungstechnologie. Verwendet man zwei solche verschiedenen Halbleiterspeicher-Typen nebeneinander, so ist ein erheblicher Aufwand erforderlich, um die beiden Speicher funktions-tüchtig miteinander zu verbinden. Zwischen den beiden Speichern sind relativ lange Leitungswege erforderlich. Dies benötigt einen relativ großen Anteil der verfügbaren Chipfläche.

Der Erfindung liegt die Aufgabe zugrunde, ein Halbleiterspeicher-Chipmodul anzugeben, bei dem sich die Vorteile zweier Speicherchip-Typen ohne die genannten Nachteile, das heißt hoher Herstellungsaufwand und lange Leitungswege, erreichen läßt.

Gelöst wird diese Aufgabe erfindungsgemäß bei einem Halbleiterspeicher-Chipmodul mit unterschiedlichen Speicherchip-Typen dadurch, daß die Speicherchips in verschiedene Ebenen übereinander angeordnet sind und über Vertikal-Zwischenverbindungen verbunden sind. In einer besonders bevorzugten Ausführungsform gibt es eine feste Zuordnung von Speicherzellen des ersten Speicherchips zu Speicherzellen des zweiten Speicherchips, wobei die einander zugeordneten Speicherzellen direkt miteinander über die vertikalen Verbindungen verbunden sind.

In einer besonders bevorzugten Ausführungsform handelt es sich bei dem ersten Typ von Speicherchip um einen nicht-flüchtigen Speicher, insbesondere EEPROM, bei dem zweiten Typ um einen flüchtigen Speicher, zum Beispiel einen SRAM.

Die Erfindung gestattet die Herstellung eines Halbleiterspeicher-Chipmoduls mit unterschiedlichen Typen von Speicherchips, insbesondere nach verschiedenen Herstellungstechnologien gefertigten Speicherchips. Die Chips können erfindungsgemäß getrennt hergestellt werden - mit Hilfe der für sie typischen Fertigungsprozesse. Die fertigen Chips benötigen jeweils für sich nur relativ wenig Chipfläche. Die fertigen Chips werden dann übereinandergestapelt, wobei die Verbindungen zwischen den Chips Vertikal-Verbindungen sind, also nur sehr wenig zusätzliche Chipfläche in Anspruch nehmen. Der Chip-Stapel wird dann als geschlossene Einheit ausgebildet, insbesondere zu einem Baustein gekapselt, so daß er in eine Chipkarte eingebaut werden kann.

In der einfachsten Ausführungsform der Erfindung können zwei Chip-ebenen vorgesehen sein. Da zu jedem Halbleiterspeicher außer den eigentlichen Speicherzellen noch eine Ansteuerschaltung gehört, hier als Dekoder bezeichnet, kann man diese Dekoder mit dem jeweiligen Halbleiterchip gemeinsam ausbilden. In einer besonders vorteilhaften Ausgestaltung der Erfindung ist aber vorgesehen, daß in einer weiteren Ebene ein weiterer Chip mit Dekoderschaltungen für sämtliche Speicherchips des Chipmoduls vorgesehen ist. Die Chipbelegungsfläche wird also - in horizontaler Richtung - nicht vergrößert durch die Dekoderschaltungen in dem weiteren Chip. Auch der Chip mit den Dekoderschaltungen ist durch Vertikal-

- 4 -

Zwischenchipverbindungen an das Speicherchip des ersten oder des zweiten Typs angeschlossen, je nachdem, welcher Chip sich direkt unter dem Chip mit den Dekoderschaltungen befindet.

Eine Besonderheit bei der Verwendung von Speicherchips in Verbindung mit Chipkarten und Chipkarten-Terminals ist die Abwehr von sogenannten Power-Analysis-Angriffen. Bei derartigen Angriffen wird in betrügerischer Absicht versucht, mit Hilfe spezieller Sensoren Strom- und Spannungszustände an einer Schaltung zu analysieren, um dadurch Rückschlüsse auf geschützte Daten ziehen zu können. Wird an sämtlichen Anschlüssen für Spannungs- und Strompegel gesorgt, die unabhängig von internen Schaltungszuständen stets einen oder einen von mehreren definierten Pegeln einnehmen, so ist ein derartiger Angriff nicht möglich.

Man kann mit Hilfe eines ständig nachgeladenen Kondensators, eines sogenannten Pufferkondensators, die Versorgungsspannung für den Chip soweit glätten, daß nach außen keine Pegeländerungen erkennbar sind, die Rückschlüsse auf Schaltungszustände zulassen könnten.

In einer bevorzugten Ausgestaltung der Erfindung ist vorgesehen, daß in mindestens einer der Ebenen des Chipmoduls ein Energiepuffer, insbesondere in Form eines integrierten Kondensators ausgebildet ist. Dieser Pufferkondensator kann eine gesamte Chip-Ebene belegen, bei bevorzugter mehrlagiger Ausbildung kann er aber auch nur auf eine Teil-Chipfläche beschränkt werden, so daß der Rest dieser Ebene dann für Speicherzellen, Dekoderschaltungen oder Logikschaltungen zur Verfügung steht. Dieser Pufferkondensator kann dann dazu benutzt werden, am Ende der Bearbeitung eines Programms, durchgeführt mit Hilfe des flüchtigen Speichers, die Er-

- 5 -

gebnisse des Programms und weitere Daten in dem nicht-flüchtigen Speicher abzuspeichern. Bei einem zum Beispiel durch äußere Störeinflüsse hervorgerufenen Programmabbruch können die zum Neu-Starten des Programms erforderlichen Daten mit Hilfe des Pufferkondensators in dem nicht-flüchtigen Speicher dauerhaft abgespeichert werden.

Im folgenden werden Ausführungsbeispiele der Erfindung anhand der Zeichnung näher erläutert. Es zeigen:

Figur 1 eine schematische Vertikal-Schnittansicht durch ein Halbleiterspeicher-Chipmodul gemäß einer ersten Ausführungsform der Erfindung; und

Figur 2 eine ähnliche Darstellung wie Figur 1 einer zweiten Ausführungsform der Erfindung.

Figur 1 zeigt ein Halbleiterspeicher-Chipmodul 2 gemäß einer ersten Ausführungsform der Erfindung. Das Chipmodul 2 enthält drei übereinandergestapelte Chips, nämlich einen unteren Chip 4, hier als EEPROM, also als nicht-flüchtiger Speicherchip ausgebildet, einen mittleren Chip 6, hier als SRAM, also als flüchtiger Speicherchip ausgebildet, und einen oberen Chip 8, welcher zwei Typen von Dekoderschaltungen 10 und 12 beinhaltet.

In dem Speicherchip 4 ist eine vorbestimmte Anzahl von Speicherzellen C4 ausgebildet, mit diesen in vertikaler Richtung fluchtend enthält der Speicherchip 6 eine entsprechende Anzahl von flüchtigen Speicherzellen C6.

Die Speicherzellen C4 und C6 in den Speicherchips 4 bzw. 6 sind vertikal ausgerichtet, wie durch senkrechte Striche in Figur 1 angedeutet ist. Es be-

- 6 -

steht zwischen den jeweils einander vertikal zugeordneten Speicherzellen C4 und C6 eine direkte elektrische Verbindung durch sogenannte Vertikal-Zwischenchipverbindungen, die weiter unten für das in Figur 2 gezeigte Ausführungsbeispiel noch näher erläutert werden.

Die in der oberen Ebene in dem oberen Chip 8 enthaltenen Dekoderschaltungen 10 und 12 ermöglichen verschiedene Adressierungsmöglichkeiten für die Speicherchips 4 und 6. Bei der vorhandenen Ausführungsform dienen die Dekoderschaltungen 10 (in Figur 1 ist nur eine dargestellt) zur Ansteuerung der Speicherzellen C4 in dem unteren Speicherchip 4, die Dekoderschaltungen 12 dienen zum Ansteuern der Speicherzellen C6 in den mittleren Speicherchip 6. In einer abgewandelten Ausführungsform können die Dekoderschaltungen 10 und 12 jedoch auch jeweils für beide Speicherchips 4 und 6 verwendet werden.

Figur 2 zeigt eine zweite Ausführungsform eines Halbleiterspeicher-Chipmoduls 2', welches aufbauend auf dem in Figur 1 gezeigten Chipmodul strukturiert ist.

Wie bei der ersten Ausführungsform ist ein unterer Speicherchip 4 als EEPROM ausgebildet, darüber befindet sich in der nächsten Ebene ein als SRAM ausgebildeter Speicherchip 6. Die miteinander vertikal fluchtenden Speicherzellen C4 und C6 sind über Vertikal-Zwischenchipverbindungen 16 direkt elektrisch verbunden.

Über ähnliche Vertikal-Zwischenchipverbindungen ist der Speicherchip 6 mit dem Chip 8 verbunden, welcher nicht näher dargestellte Dekodierschaltungen und zusätzlich einen Pufferkondensator 20 enthält. Der Pufferkon-

- 7 -

densator 20 ist ebenfalls über direkte Vertikal-Zwischenchipverbindungen 22a mit dem darunter liegenden Speicherchip 6 und über Zwischenchipverbindungen 22b mit einem darüber liegenden weiteren Chip 16 verbunden, er ist außerdem über eine bei 24 angedeutete Verbindung mit den in dem Chip 8 enthaltenen Dekoderschaltungen verbunden. Durch nicht dargestellte Durchgangsverbindungen steht der Pufferkondensator 20 auch mit dem unteren Speicherchip 4 in Verbindung.

Bei dem Halbleiterspeicher-Chipmodul 2' der in Figur 2 gezeigten Ausführungsform ist außer dem Pufferkondensator 20, der als Energiepuffer fungiert, noch in einer obersten Ebene der Chip 16 vorhanden, der zum Beispiel Logikschaltungen enthält, deren Funktion für sämtliche der übrigen Chips 4, 6 und 8 verfügbar ist.

Bei der Ausführungsform nach Figur 2 ist der Pufferkondensator 20 aus mehreren abwechselnden elektrisch leitenden bzw. Dielektrikum-Lagen hergestellt. Von einer nicht dargestellten Speiseleitung wird der Pufferkondensator 20 ständig auf einem Versorgungsspannungspegel gehalten. Seine Kapazität ist derart bemessen, daß er im Fall beispielsweise eines Betriebsabbruchs des Chipmoduls 2' das Schreiben von Daten aus dem SRAM des Speicherchips 6 in entsprechende Speicherzellen des EEPROMs des Speicherchips 4 erlaubt.

Die Erfindung und die in den Figuren 1 und 2 dargestellten Ausführungsformen eines Chipmoduls eignen sich insbesondere für den Einbau in eine Chipkarte oder ein Chipkarten-Terminal, wenngleich die Erfindung nicht hierauf beschränkt ist. Als weitere Abwandlung der Erfindung kann die Reihenfolge der Speicherchips geändert werden, in Figur 1 können zum Beispiel

- 8 -

die verschiedenen Chips 4, 6 und 8 in ihrer Reihenfolge ausgetauscht werden. Das gleiche gilt für die Anordnung nach Figur 2. Der Pufferkondensator 20 kann sich auch über eine gesamte Chipecbene erstrecken. Die Dekoderschaltungen, in Figur 1 in dem oberen Chip 8 bei 10 und 12 dargestellt, können auch auf verschiedene Chipecbenen verteilt werden.

Die in den Figuren 1 und 2 dargestellten Ausführungsbeispiele von Halbleiterspeicher-Chipmodulen enthalten die in separaten Herstellungsprozessen gefertigten Chips 4, 6, 8 und 16. Die separat gefertigten Chips werden übereinandergestapelt und durch Bonden vertikal miteinander verbunden. Unter Bonden wird in diesem Fall das Verbinden der einzelnen Chips bzw. Chips enthaltende Wafer verstanden. Dazu können die Chips bzw. Wafer gedünnt sein, d. h. ihre Dicke wird nach der Herstellung verringert. Die eigentliche elektrische Verbindung der einzelnen Chips bzw. Wafer untereinander erfolgt - wie oben beschrieben - mittels Vertikal-Zwischenchipverbindungen. Die Vertikal-Zwischenchipverbindungen werden dabei mittels eines Metallisierungsprozesses hergestellt, der dem Metallisierungsprozess bei der Herstellung der einzelnen Chips bzw. Wafer entspricht. Dadurch kann eine hohe Verbindungsdichte erreicht werden, die es z. B. erlaubt, wie oben beschrieben, einzelne Speicherzellen in unterschiedlichen Ebenen, d. h. auf unterschiedlichen Chips, miteinander elektrisch zu verbinden. Dies bewirkt zudem eine Erhöhung der Sicherheit, da die internen Vertikal-Zwischenchipverbindungen nicht von außen zugänglich sind und somit nicht zu Analyse Zwecken abgeriffen werden können.

Die so erhaltene gesamte Anordnung wird eingekapselt und steht dann für den Einbau in zum Beispiel eine Chipkarte zur Verfügung. Das Einkapseln

einschließlich der nach außen geführten Verbindungsanschlüsse wird hier - weil konventionell - nicht näher erläutert.

Eingebaut in eine Chipkarte arbeitet das Halbleiterspeicher-Chipmodul gemäß Figur 1 oder Figur 2 dann so, daß die dauerhaft gespeicherten Daten sich in dem unteren Chip 4, das heißt in dem nicht-flüchtigen Speicher EEPROM, befinden. Bei Ausführung von Programmen werden benötigte Daten in den mittleren Chip, das heißt den flüchtigen Speicher (SRAM) umgeladen. Der mittlere Chip 6 fungiert dann wie ein Cache-Speicher. Ergebnisdaten und bei beispielsweise einem Betriebsabbruch zu sichernde Daten werden dann von dem mittleren Speicherchip 6 in den unteren Speicherchip 4 umgeladen, wozu die im Pufferkondensator gespeicherte Energie verwendet wird.

Patentansprüche

1. Halbleiterspeicher-Chipmodul, mit einem ersten Speicherchip (4) eines ersten Typs, einem zweiten Speicherchip (6) eines zweiten Typs, und einer elektrischen Verbindung (14, 16) zwischen dem ersten und dem zweiten Speicherchip (4, 6), **dadurch gekennzeichnet**, daß die Speicherchips (4, 6) in verschiedenen Ebenen übereinander angeordnet und über Vertikal-Zwischenchipverbindungen (14, 16) verbunden sind.
2. Chipmodul nach Anspruch 1, **dadurch gekennzeichnet**, daß Speicherzellen (C4) des ersten Speicherchips (4) bestimmten Speicherzellen (C6) des zweiten Speicherchips (6) fest zugeordnet sind, und die einander zugeordneten Speicherzellen (C4, C6) direkt miteinander elektrisch verbunden sind.
3. Chipmodul nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß der erste Typ einem nicht-flüchtigen Speicher, zum Beispiel EEPROM, und der zweite Typ einem flüchtigen Speicher, zum Beispiel SRAM, entspricht.
4. Chipmodul nach einem der Ansprüche 1 bis 3, **dadurch gekennzeichnet**, daß mindestens ein weiterer Chip (8, 16) in einer weiteren Ebene vorgesehen ist.
5. Chipmodul nach Anspruch 4, **dadurch gekennzeichnet**, daß der weitere Chip Dekoderschaltungen (10, 12) für die Speicherchips (4, 6) enthält.
6. Chipmodul nach einem der Ansprüche 1 bis 5, **dadurch gekennzeichnet**, daß ein Energiepuffer in mindestens einer der Ebenen ausgebildet ist.

- 11 -

7. Chipmodul nach Anspruch 6, **dadurch gekennzeichnet, daß der Energiepuffer als integrierter Pufferkondensator (20) ausgebildet ist.**
8. Chipmodul nach einem der Ansprüche 1 bis 7, ausgebildet für eine Chipkarte.
9. Chipkarte mit einem Halbleiterspeicher-Chipmodul nach einem der Ansprüche 1 bis 8.

FIG. 1

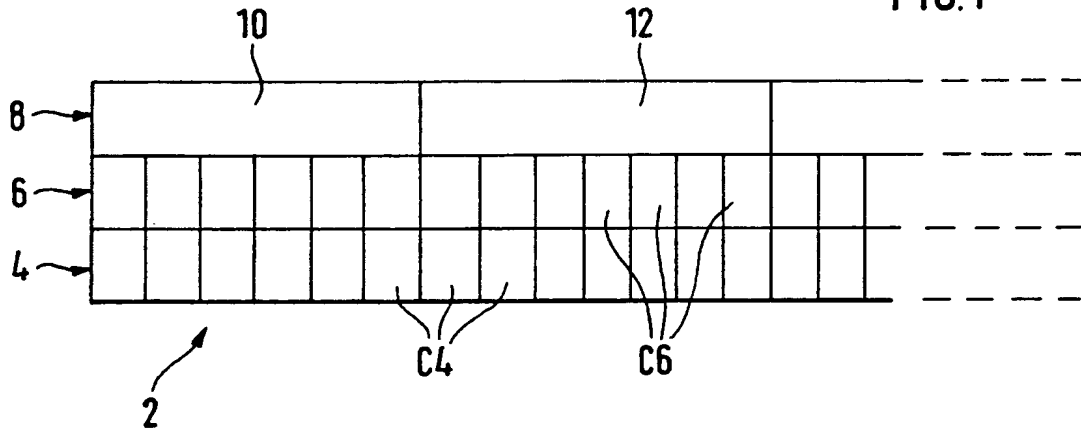
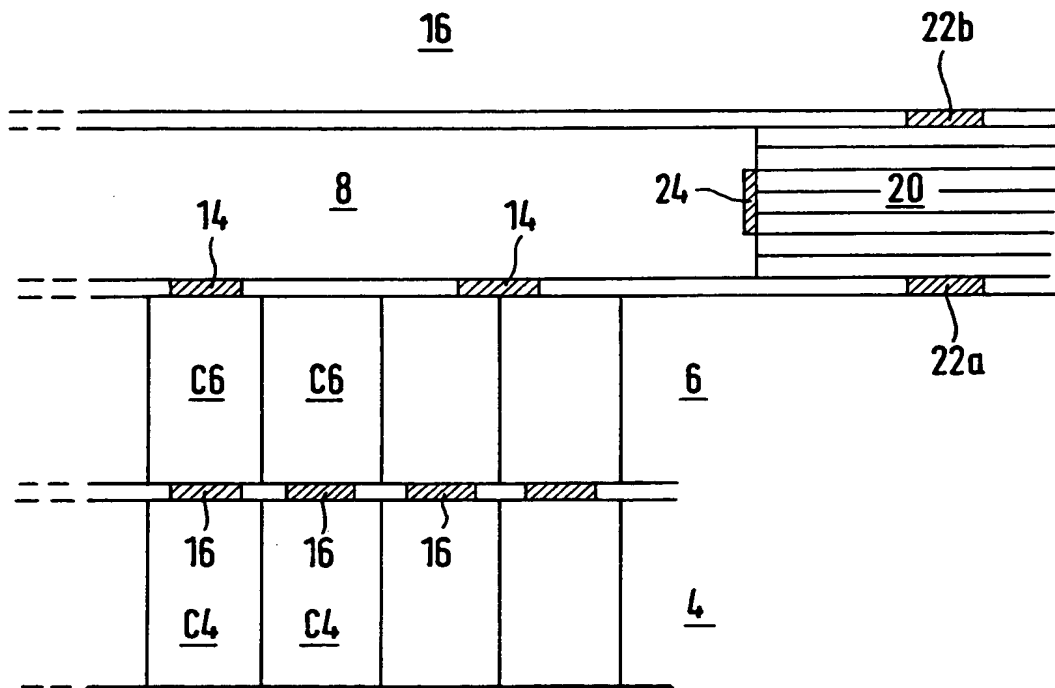


FIG. 2



2'



7

8

9

10

INTERNATIONAL SEARCH REPORT

Int. Patent Application No.

PCT/EP 00/05625

A. CLASSIFICATION OF SUBJECT MATTER

IPC 7 G11C11/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0 328 062 A (PITNEY BOWES) 16 August 1989 (1989-08-16) abstract; figure 1	1
P,Y	US 5 973 396 A (FARNWORTH WARREN M) 26 October 1999 (1999-10-26)	1
P,A	column 5, line 44 -column 6, line 34; figures 3,4	2
A	US 5 840 417 A (BOLGER JUSTIN C) 24 November 1998 (1998-11-24) abstract; figure 3	1
A	US 5 229 647 A (GNADINGER ALFRED P) 20 July 1993 (1993-07-20) column 3, line 26 -column 4, line 36; figures 3,4	2



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

10 October 2000

Date of mailing of the international search report

16/10/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Wolff, N

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int ional Application No

PCT/EP 00/05625

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
EP 0328062 A	16-08-1989	US 4908502 A AU 2972389 A CA 1315408 A CH 679434 A DE 68914696 D DE 68914696 T FR 2626991 A GB 2215888 A,B JP 2007184 A JP 2922211 B	13-03-1990 10-08-1989 30-03-1993 14-02-1992 26-05-1994 01-09-1994 11-08-1989 27-09-1989 11-01-1990 19-07-1999
US 5973396 A	26-10-1999	NONE	
US 5840417 A	24-11-1998	US 5667884 A WO 9424704 A	16-09-1997 27-10-1994
US 5229647 A	20-07-1993	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 G11C11/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

IPK 7 G11C

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	EP 0 328 062 A (PITNEY BOWES) 16. August 1989 (1989-08-16) Zusammenfassung; Abbildung 1	1
P, Y	US 5 973 396 A (FARNWORTH WARREN M) 26. Oktober 1999 (1999-10-26)	1
P, A	Spalte 5, Zeile 44 - Spalte 6, Zeile 34; Abbildungen 3, 4	2
A	US 5 840 417 A (BOLGER JUSTIN C) 24. November 1998 (1998-11-24) Zusammenfassung; Abbildung 3	1
A	US 5 229 647 A (GNADINGER ALFRED P) 20. Juli 1993 (1993-07-20) Spalte 3, Zeile 26 - Spalte 4, Zeile 36; Abbildungen 3, 4	2

☐ Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen☒ Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

10. Oktober 2000

Abschließdatum des internationalen Recherchenberichts

16/10/2000

Name und Postanschrift der Internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Wolff, N

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP 00/05625

Im Recherch nbericht angeführtes Patentdokument	Datum der V röffentlichung	Mitglied(r) der Patentfamilie	Datum der Veröffentlichung
EP 0328062 A	16-08-1989	US 4908502 A AU 2972389 A CA 1315408 A CH 679434 A DE 68914696 D DE 68914696 T FR 2626991 A GB 2215888 A,B JP 2007184 A JP 2922211 B	13-03-1990 10-08-1989 30-03-1993 14-02-1992 26-05-1994 01-09-1994 11-08-1989 27-09-1989 11-01-1990 19-07-1999
US 5973396 A	26-10-1999	KEINE	
US 5840417 A	24-11-1998	US 5667884 A WO 9424704 A	16-09-1997 27-10-1994
US 5229647 A	20-07-1993	KEINE	